

DELTA-SIGMA MODULATION CIRCUIT AND SIGNAL TRANSMISSION USING IT OR RECORDING AND REPRODUCING DEVICE

Publication number: JP10145232 (A)

Also published as:

Publication date: 1998-05-29

JP3253879 (B2)

Inventor(s): SATO SHOJI; OBAYASHI KUNIHIKO; TAKAHASHI RYUTARO;
HAYASE TORU +

Applicant(s): SHARP KK +

Classification:

- international: G11B20/10; H03M3/02; H03M7/32; H04J1/05; G11B20/10;
H03M3/02; H03M7/32; H04J1/00; (IPC1-7): G11B20/10;
H03M3/02; H03M7/32

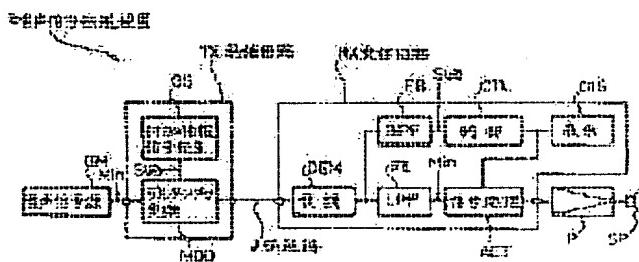
- European:

Application number: JP19960343746 19961224

Priority number(s): JP19960343746 19961224; JP19960239577 19960910

Abstract of JP 10145232 (A)

PROBLEM TO BE SOLVED: To multiplex various information, which is needed for a voice signal and to transmit it with a simple structure without using a special format. **SOLUTION:** A voice signal transmitting device 1 performs one bit encoding of a voice signal from a voice signal source GM by a delta-sigma modulation circuit MOD in a transmitting circuit TX and transmits it to a receiving circuit RX, and a speaker SP turns into acoustic an analog voice signal that is demodulated by a demodulation circuit DEM.; In such cases, a carrier frequency is set within a band that is above the upper-bound frequency of a voice band and also below a transmittable frequency, an additional information signal generating circuit GS generates an additional information signal of an amount of information that corresponds to a D range in the frequency, and a voice signal undergoes frequency division multiplex and is delta-sigma modulated. Then, an LPF(low-pass filter) EL can extract a voice signal element in a demodulated analog signal, and a control circuit CTL controls a display device DIS and a processing circuit ACT of a voice signal, in response to the additional information signal that is extracted by a BPF(band-pass filter) FB.



Data supplied from the **espacenet** database — Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-145232

(43) 公開日 平成10年(1998)5月29日

(51) Int.Cl.⁶
H 03 M 3/02
G 11 B 20/10
H 03 M 7/32

識別記号
3 4 1

F I
H 03 M 3/02
C 11 B 20/10
H 03 M 7/32

3 4 1 Z

審査請求 未請求 請求項の数9 O L (全 17 頁)

(21) 出願番号 特願平8-343746

(22) 出願日 平成8年(1996)12月24日

(31) 優先権主張番号 特願平8-239577

(32) 優先日 平8(1996)9月10日

(33) 優先権主張国 日本 (JP)

(71) 出願人 000005049

シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 佐藤 昭治
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72) 発明者 大林 國彦
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72) 発明者 ▲高橋 竜太郎
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(74) 代理人 弁理士 原 謙三

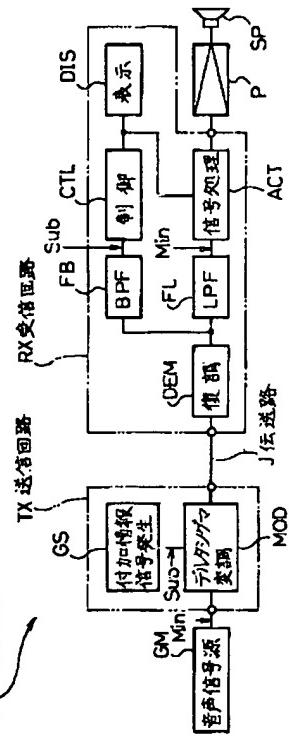
最終頁に続く

(54) 【発明の名称】 デルタシグマ変調回路およびそれを用いる信号伝送または記録再生装置

(57) 【要約】

【課題】 音声信号源GMからの音声信号を、送信回路TX内のデルタシグマ変調回路MODによって1ビット符号化して受信回路RXへ伝送し、復調回路DEMによって復調されたアナログ音声信号をスピーカSPによって音響化するようにした音声信号伝送装置1において、特別なフォーマットを使用することなく、簡単な構成で、音声信号に必要となる種々の情報を多重化して伝送可能とする。

【解決手段】 音声帯域の上限周波数以上で、かつ伝送可能周波数以下の帯域内に搬送周波数を設定し、その周波数におけるDレンジに対応した情報量の付加情報信号を付加情報信号発生回路GSによって発生し、音声信号に周波数分割多重化して $\Delta\Sigma$ 変調を行う。したがって、復調されたアナログ信号のうち、音声信号成分はLPF FLで抽出することができ、BPF FBで抽出された付加情報信号に応答して、制御回路CTLが表示装置DISや音声信号の処理回路ACTを制御する。



【特許請求の範囲】

【請求項1】アナログまたはマルチビットで表されるデジタル信号を高速でサンプリングして1ビット信号に変換するデルタシグマ変調回路において、

所望とするダイナミックレンジおよび有効周波数帯域を有する前記1ビットの主信号よりも高域側の予め定める周波数で、その予め定める周波数におけるダイナミックレンジに対応した情報量の副信号を、該予め定める周波数の搬送波を介して前記主信号に周波数分割多重で重畠することを特徴とするデルタシグマ変調回路。

【請求項2】前記副信号の主信号への重畠を、デルタシグマ変調回路内の加算段で行うことを特徴とする請求項1記載のデルタシグマ変調回路。

【請求項3】前記主信号は、音声信号であり、前記副信号は、チャネル情報を表すフラグ、プリエンファシスの有無を表すフラグ、時間情報またはサンプリング周波数情報の少くともいずれか1つであることを特徴とする請求項1または2記載のデルタシグマ変調回路。

【請求項4】前記請求項1～3のいずれかに記載のデルタシグマ変調回路を送信装置または記録装置に設け、受信装置または再生装置は、受信または再生された1ビット信号からの前記副信号の分離を、低次のフィルタで行うことを特徴とする信号伝送または記録再生装置。

【請求項5】前記主信号は音声信号であり、前記副信号はチャネル情報であり、前記請求項1または2記載のデルタシグマ変調回路を送信装置または記録装置に設け、受信装置または再生装置は、前記副信号に基いて、左右またはマルチチャネルの分離を行うことを特徴とする信号伝送または記録再生装置。

【請求項6】前記主信号は音声信号であり、前記副信号はプリエンファシスの有無を表すフラグであり、前記請求項1または2記載のデルタシグマ変調回路を送信装置または記録装置に設け、受信装置または再生装置は、前記フラグに応答して、ディエンファシスのON/OFFを制御することを特徴とする信号伝送または記録再生装置。

【請求項7】前記主信号は音声信号であり、前記副信号はサンプリング周波数情報であり、前記請求項1または2記載のデルタシグマ変調回路を送信装置または記録装置に設け、受信装置または再生装置は、前記副信号が前記予め定める周波数で抽出できるシステムクロックで1ビット信号を復調することを特徴とする信号伝送または記録再生装置。

【請求項8】前記送信装置または記録装置は、入力選択を行い、かつその選択結果に対応して、システムクロック生成回路のクロック発振周波数を予め定める複数の周波数から選択する入力選択手段を備え、

前記受信装置または再生装置は、前記予め定める周波数の通過帯域を有する狭帯域フィルタと、前記狭帯域フィルタの出力が入力され、前記副信号が検知されるように

システムクロック生成回路のクロック発振周波数を切換えるクロック制御回路とを備えることを特徴とする請求項7記載の信号伝送または記録再生装置。

【請求項9】前記送信装置または記録装置は、システムクロック生成回路のクロック発振周波数を任意の周波数に設定することができるクロック制御回路を備え、前記受信装置または再生装置は、前記予め定める周波数の通過帯域を有する狭帯域フィルタと、システムクロック生成回路のクロック発振周波数を掃引させることができるクロック制御回路と、前記狭帯域フィルタの出力が入力され、前記副信号を検知すると前記掃引動作を停止させる検知回路とを備えることを特徴とする請求項7記載の信号伝送または記録再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタルオーディオシステムで好適に実施され、1ビットデジタル信号を作成するデルタシグマ変調回路およびそれを備えて前記1ビットデジタル信号の伝送または記録再生を行うための装置に関する。

【0002】

【従来の技術】前記デルタシグマ変調によって得られる1ビットデジタル信号は、たとえば該1ビットデジタル信号が音声信号である場合には、簡単な低次のローパスフィルタを用いるだけで、アナログ音声信号に復調可能である等の復調に複雑な処理回路が不要となるという利点を有している。また、1ビットデジタル信号は、語同期が不要な微細に細分化されたデータの流れであるので、伝送路等の影響を受け難く、したがってエラーに強く、エラー訂正回路が不要となるという利点を有している。さらにまた、従来のマルチビットのデジタル信号では、サンプリング周波数やダイナミックレンジ等が一旦規格化されると、その規格を変更することが困難であるという問題がある。したがって、近年、マルチビット符号化方式に比べて利点の多い1ビットデジタル符号化方式が注目されている。

【0003】

【発明が解決しようとする課題】典型的な従来技術のマルチビット符号化方式の一例として、コンパクトディスク等のデジタルオーディオについて以下に説明する。コンパクトディスクの場合、サンプリング周波数f sの44.1 kHzの1/2の22.05 kHzが音声信号帯域の上限周波数F aとなり、この上限周波数F aよりも高い周波数帯域をデータの伝送に利用することはできない。このため、副信号である左右いずれのチャネルであるかを識別するためのフラグなどのサブコードが、主信号である音声信号のメインデータとともに、それぞれ時間軸方向に圧縮されて多重化され、伝送または記録再生が行われる。

【0004】したがって、送信または記録側では、規格

化されたデータフォーマットに前記フラグや音声信号をエンコードする回路が必要となり、受信または再生側では、受信または再生されたデータをデコードし、前記メインデータとサブコードとに分離する回路が必要になる。このように、従来のようなマルチビット信号では、フォーマットに対応した信号処理を行う信号処理回路が必要となるという問題がある。

【0005】本発明の目的は、複雑な信号処理回路を必要とすることなく、副信号を主信号に重畠して、伝送または記録再生が可能なデルタシグマ変調回路およびそれを用いる信号伝送または記録再生装置を提供することである。

【0006】

【課題を解決するための手段】請求項1の発明に係るデルタシグマ変調回路は、アナログまたはマルチビットで表されるデジタル信号を高速でサンプリングして1ビット信号に変換するデルタシグマ変調回路において、所望とするダイナミックレンジおよび有効周波数帯域を有する前記1ビットの主信号よりも高域側の予め定める周波数で、その予め定める周波数におけるダイナミックレンジに対応した情報量の副信号を、該予め定める周波数の搬送波を介して前記主信号に周波数分割多重で重畠することを特徴とする。

【0007】上記の構成によれば、本件発明者は、デルタシグマ変調によって得られる1ビット信号では、主信号の所定ダイナミックレンジを確保することができる有効周波数帯域の、たとえば2～3倍程度に定められる上限周波数以上の周波数帯域であっても、量子化ノイズフロアまでの狭いダイナミックレンジに対応した低ビットレートの副信号であれば、復調のために必要な所定のS/Nを充分に確保可能であることに着目し、前記上限周波数以上の予め定める周波数において、その周波数でのダイナミックレンジに対応した情報量の副信号を周波数分割多重で重畠する。

【0008】したがって、受信装置や再生装置などの復調側では、バンドパスフィルタなどによって前記副信号を分離して、その副信号に対応した復調処理を行えばよく、前記時分割多重を行う場合に必要となるような複雑な構成が無くなり、信号処理のための回路を簡略化することができる。

【0009】また、請求項2の発明に係るデルタシグマ変調回路は、前記副信号の主信号への重畠を、デルタシグマ変調回路内の加算段で行うことを見出する。

【0010】上記の構成によれば、周波数分割多重であるので、たとえば前記予め定める周波数の正弦波などの副信号を主信号に単に加算するだけではなく、またその加算処理を、デルタシグマ変調回路内において、量子化出力を遅延して入力側に負帰還する加算段で行うことによって、特別な構成を付加することなく多重化を行うことができる。

【0011】さらにまた、請求項3の発明に係るデルタシグマ変調回路では、前記主信号は、音声信号であり、前記副信号は、チャネル情報を表すフラグ、プリエンファシスの有無を表すフラグ、時間情報またはサンプリング周波数情報の少くともいずれか1つであることを特徴とする。

【0012】上記の構成によれば、主信号の音声信号に対応して、副信号は、左右いずれのチャネルであるかなどのチャネル情報を表すフラグや、プリエンファシスが行われているか否かを表すフラグなどの1ビットデータまたは時間情報などの主信号に関連する少ビットのデータとされ、前記狭いダイナミックレンジ内で所定のS/Nを確保することができる。

【0013】また、請求項4の発明に係る信号伝送または記録再生装置は、前記請求項1～3のいずれかに記載のデルタシグマ変調回路を送信装置または記録装置に設け、受信装置または再生装置は、受信または再生された1ビット信号からの前記副信号の分離を、低次のフィルタで行うことを特徴とする。

【0014】上記の構成によれば、副信号は周波数分割多重であるので、低次のフィルタで主信号から分離することができ、該副信号の分離を簡単な構成で実現することができる。

【0015】さらにまた、請求項5の発明に係る信号伝送または記録再生装置では、前記主信号は音声信号であり、前記副信号はチャネル情報を表すフラグであり、前記請求項1または2記載のデルタシグマ変調回路を送信装置または記録装置に設け、受信装置または再生装置は、前記副信号に基いて、左右またはマルチチャネルの分離を行うことを特徴とする。

【0016】上記の構成によれば、主信号の音声信号に対応して、副信号は、左右チャネルまたは重低音用のチャネルや前後4チャネルなどのマルチチャネルの分離を行うために用いられる。

【0017】したがって、従来のマルチビット信号では時分割で多重化されていたこのようなチャネル情報を、周波数分割で多重化して、復調側では容易に抽出することができる。

【0018】また、請求項6の発明に係る信号伝送または記録再生装置では、前記主信号は音声信号であり、前記副信号はプリエンファシスの有無を表すフラグであり、前記請求項1または2記載のデルタシグマ変調回路を送信装置または記録装置に設け、受信装置または再生装置は、前記フラグに応答して、ディエンファシスのON/OFFを制御することを見出する。

【0019】上記の構成によれば、主信号の音声信号に対応して、副信号は、たとえば低域成分を強調し、高域成分を抑制するなどのプリエンファシス処理が行われているか否かを表すフラグとして用いられる。

【0020】これによってもまた、従来のマルチビット

信号では時分割で多重化されていたこのようなフラグを、周波数分割で多重化し、容易に抽出することができる。

【0021】さらにまた、請求項7の発明に係る信号伝送または記録再生装置では、前記主信号は音声信号であり、前記副信号はサンプリング周波数情報であり、前記請求項1または2記載のデルタシグマ変調回路を送信装置または記録装置に設け、受信装置または再生装置は、前記副信号が前記予め定める周波数で抽出できるシステムクロックで1ビット信号を復調することを特徴とする。

【0022】上記の構成によれば、送信装置または記録装置側で、CD(コンパクトディスク)、DAT(デジタルオーディオテープレコーダ)および衛星放送等の、サンプリング周波数 f_s が異なるマルチビット入力信号に対して、サンプリングレートを変換して1ビット信号のサンプリング周波数FSを統一するなどの煩雑な処理を行うことなく、たとえば $FS = 64 f_s$ 、 $FS = 32 f_s$ 等のオーバーサンプリングの倍数を一定のままで前記マルチビット入力信号を1ビット信号に変換しても、受信装置または再生装置側で、前記予め定める周波数の副信号を抽出できるようにシステムクロックを変更することによって、デルタシグマ変調側と復調側とでサンプリング周波数を整合させて、1ビットデジタル信号を正確に復調することができる。

【0023】したがって、入力信号のサンプリング周波数が異なる場合にも、サブコード等のそのサンプリング周波数を表す情報を多重化するにあたって、時間軸圧縮などの煩雑な処理を不要とすることができます、また前記サンプリングレート変換などの煩雑な処理を伴うことなく、サンプリング周波数に幅を持たせることができる。

【0024】また、請求項8の発明に係る信号伝送または記録再生装置では、前記送信装置または記録装置は、入力選択を行い、かつその選択結果に対応して、システムクロック生成回路のクロック発振周波数を予め定める複数の周波数から選択する入力選択手段を備え、前記受信装置または再生装置は、前記予め定める周波数の通過帯域を有する狭帯域フィルタと、前記狭帯域フィルタの出力が入力され、前記副信号が検知されるようにシステムクロック生成回路のクロック発振周波数を切換えるクロック制御回路とを備えることを特徴とする。

【0025】上記の構成によれば、送信装置または記録装置側では、前記CD、DATまたは衛星放送等の予め定められているサンプリング周波数 f_s のマルチビット入力信号に所定数倍のオーバーサンプリングを行うにあたって、入力選択に連動してシステムクロックの切換えを行い、これに対応して、受信装置または再生装置側では、前記副信号を検知できるようにシステムクロックの切換えを行う。こうして、マルチビット入力信号のサンプリング周波数 f_s が予め複数種類に定められていると

きには、適応する種類のサンプリング周波数に、容易、かつ速やかに設定を行うことができる。

【0026】さらにまた、請求項9の発明に係る信号伝送または記録再生装置では、前記送信装置または記録装置は、システムクロック生成回路のクロック発振周波数を任意の周波数に設定することができるクロック制御回路を備え、前記受信装置または再生装置は、前記予め定める周波数の通過帯域を有する狭帯域フィルタと、システムクロック生成回路のクロック発振周波数を掃引させることができるクロック制御回路と、前記狭帯域フィルタの出力が入力され、前記副信号を検知すると前記掃引動作を停止させる検知回路とを備えることを特徴とする。

【0027】上記の構成によれば、所望とするダイナミックレンジ、周波数帯域およびビットレートなどに対応して、サンプリング周波数を任意に設定しても、そのサンプリング周波数を表す情報を付加するために主信号に特別な処理を施す必要がなく、正確に復調を行うことができる。

【0028】

【発明の実施の形態】本発明の基本的な考え方について、図1および図2に基づいて説明すれば以下のとおりである。

【0029】図1は、本発明を音声信号伝送装置1として実施した場合の基本的構成を示すブロック図である。この音声信号伝送装置1では、音声信号源GMで作成された主信号であるアナログまたはマルチビットの音声信号Minに対して、送信回路TX内のデルタシグマ変調回路MODは、付加情報信号発生回路GSで作成された副信号である付加情報信号Subを周波数分割で多重化してデルタシグマ変調を行い、作成した高速1ビットデジタル信号を伝送路Jを介して受信回路RXへ送信する。

【0030】受信回路RXでは、前記高速1ビットデジタル信号は、復調回路DEMで復調されてアナログ信号とされた後、ローパスフィルタFLおよびバンドパスフィルタFBに入力される。バンドパスフィルタFBでは、前記副信号である付加情報信号Subが抽出され、その付加情報信号Subは制御回路CTLにおいてデコードされる。制御回路CTLは、デコードした付加情報信号Subに対応して、表示装置DISに表示などを行い、および/または前記ローパスフィルタFLから出力されるアナログ音声信号を処理する信号処理回路ACTの処理条件を制御する。信号処理回路ACTからのアナログ音声信号は、アンプPで増幅された後、スピーカSPから音響化される。

【0031】図2は、本発明の考え方を説明するための量子化ノイズレベルの周波数特性を示すグラフである。高次のデルタシグマ変調では、量子化ノイズを高周波帯域側にシフトするノイズシェーピング特性を有してお

り、所望とするダイナミックレンジ、たとえば90dBを確保することができる上限周波数Faまでが音声帯域の有効周波数帯域として使用される。

【0032】これに対して前記上限周波数Fa以上では、量子化ノイズフロアは周波数が高くなるにつれてこの図2で示すように緩かに上昇してゆく。したがって、本発明が適用する1ビット符号化方式では、音声信号帯域以上で、広くノイズ低減帯域を確保することができ、この帯域は微少ビットのデータに関しては充分に復号可能なS/Nを有している。そこで本発明では、該帯域を前記付加情報信号Subのために利用する。

【0033】本発明の実施の第1の形態について、図3～図7に基づいて説明すれば以下のとおりである。

【0034】図3は、本発明の実施の第1の形態の音声信号伝送装置1aの電気的構成を示すブロック図である。この音声信号伝送装置1aは、大略的に、音声信号源GL、GRからのアナログまたはマルチビットの音声信号を、送信回路TXa内のデルタシグマ変調回路MODL、MODRによって1ビットデジタル信号に変調した後、伝送路J1、J2を介して受信回路RXaへ伝送し、該受信回路RXa内の復調回路DEM1、DEM2によって復調されたアナログ音声信号を、左右各チャネルのスピーカSPL、SPRから音響化するものである。

【0035】したがって、前記伝送路J1、J2の入換わりなどに対して、左右各チャネルの音声信号を正確に判別して復調出力するために、送信回路TXa側では、いずれか一方のチャネル（図3の例では左チャネル）で、主信号である音声信号には、発振器OSによって作成され、たとえば連続の正弦波信号から成り、付加情報信号であるチャネル判別信号が周波数分割多重化された後、1ビットデジタル信号に変調される。これに対して受信回路RXa側では、受信された1ビットデジタル信号から、チャネル判別回路CTL1、CTL2によって、該1ビットデジタル信号のチャネルが判別される。

【0036】すなわち、高速サンプリング1ビット符号化方式では、サンプリング周波数をFSとすると、理論的に、 $FS/2$ が伝送帯域の上限周波数Ftとなり、 $FS/6$ が音声信号帯域として使用可能な周波数帯域の上限周波数Faとなることが知られている。

【0037】たとえば、 $FS = 32 fs$ 、fsをコンパクトディスクの44.1kHzとすると、 $Ft = 32 \times 44.1 / 2 = 705.6$ (kHz) $Fa = 32 \times 44.1 / 6 = 235.2$ (kHz) となる。

【0038】しかしながら、実際に回路にハードウェア化した場合には、量子化ノイズを前記上限周波数Ft、Faまで充分に低減することが困難であり、現行の民生用デジタルオーディオ機器で要求される10～20kHzでのS/Nを90～100dBとすることが比較的容

易に実現可能な値として、前記上限周波数Ft、Faは、 $1/2 \sim 1/4$ が現実的な値となっている。

【0039】たとえば、前記サンプリング周波数fsを、コンパクトディスクの44.1kHzやデジタルオーディオテープレコーダの48kHzの32倍とした場合、図4で示すように、前記各上限周波数Fa、Ftはそれぞれ50kHz、120kHz程度となり、さらに64倍にサンプリング周波数を上げた場合には、各上限周波数Fa、Ftはそれぞれ100kHz、240kHz程度となる。

【0040】そこで本発明では、Fa～Ftの周波数帯域に搬送周波数Fs、たとえば80kHzを設定し、この搬送周波数Fsにおいて付加情報信号を周波数多重化する。図4から理解されるように、前記搬送周波数Fsでのダイナミックレンジは40～60dB程度確保可能であり、前記付加情報信号のデータを充分に伝送することができるS/Nを確保可能である。また、前記搬送周波数Fsは、充分に広く設定されている音声信号帯域の上限周波数Faからさらに20kHz以上離れているので、変調波として10kHz程度までの信号を使用することができ、簡単なデータを多重化して伝送可能であることが理解される。

【0041】まず、図3の例では、多重化される付加情報信号は前述のようにチャネル判別信号であり、音声信号源GLからの左チャネルのアナログまたはマルチビットのデジタル信号に対して、発振器OSで作成された前記搬送周波数Fsの正弦波信号から成るチャネル判別信号が、デルタシグマ変調回路MODL内の加算器K1において加算される。加算された信号は、高速1ビットデジタル信号にデルタシグマ変調されて、伝送路J1に出力される。これに対して、音声信号源GRからの右チャネルの音声信号は、そのままデルタシグマ変調回路MODRに入力されて高速1ビットデジタル信号にデルタシグマ変調され、伝送路J2に出力される。

【0042】デルタシグマ変調回路MODL、MODRは、大略的に、積分回路Mと、その積分出力を1ビット量子化して出力する量子化器Qと、量子化器Qの出力を遅延する遅延器D0と、遅延器D0の出力を前記積分回路Mの入力側に負帰還する前記加算器K1とを備えて構成されている。

【0043】一方、受信回路RXaは、前記伝送路J1またはJ2にそれぞれ接続される復調回路DEM1、DEM2と、復調回路DEM1に関連して設けられるローパスフィルタ（略称LPF）F11、バンドパスフィルタ（略称BPF）F12およびチャネル判別回路CTL1と、前記復調回路DEM2に関連して設けられるローパスフィルタF21、バンドパスフィルタF22およびチャネル判別回路CTL2と、チャネル切換回路SWとを備えて構成されている。

【0044】チャネル切換回路SWは、リレーやアナロ

グスイッチなどで実現される2つのスイッチS1, S2を備えて構成されており、これらの共通接点S1C, S2Cはそれぞれ復調回路DEM1, DEM2に接続されている。これに対して、スイッチS1の個別接点S1LとスイッチS2の個別接点S2Lとが共通に左チャネルのアンプPLに接続され、スイッチS1の個別接点S1RとスイッチS2の個別接点S2Rとが共通に右チャネルのアンプPRに接続されている。

【0045】前記復調回路DEM1, DEM2は、遮断周波数が前記上限周波数Ftに選ばれているローパスフィルタなどで実現され、高速1ビットデジタル信号をアナログ信号に復調する。ローパスフィルタF11, F21の遮断周波数は前記上限周波数Faに選ばれ、これによって前記アナログ信号から音声信号成分が抽出され、スイッチS1, S2に入力される。スイッチS1, S2で、以下のようにして正確に振分けられた左右各チャネルのアナログ音声信号は、アンプPL, PRで増幅された後、スピーカSPL, SPRからそれぞれ音響化される。

【0046】前記スイッチS1, S2は、バンドパスフィルタF12またはF22によって抽出された前記チャネル判別信号に応答してチャネル判別回路CTL1またはCTL2から出力されるチャネル切換信号によって相互に連動して切換制御される。バンドパスフィルタF12, F22は、前記搬送周波数Fsを中心周波数としており、したがって音声信号に重畠されている前記チャネル判別信号を抽出する。チャネル判別回路CTL1は、前記バンドパスフィルタF12によって前記チャネル判別信号が抽出されると、スイッチS1, S2をそれぞれ個別接点S1L, S2Rに導通するチャネル切換信号を出力する。これに対して、チャネル判別回路CTL2は、前記バンドパスフィルタF22によって前記チャネル判別信号が抽出されると、スイッチS1, S2をそれぞれ個別接点S1R, S2Lに導通するチャネル切換信号を出力する。

【0047】前記ローパスフィルタF11, F21は、チャネル判別信号などの高域のノイズ成分を除去することができればよく、前述のように遮断周波数が上限周波数Faの1次フィルタでよく、たとえば1個の抵抗とコンデンサとで実現することができる。また、バンドパスフィルタF12, F22も、前記上限周波数Fa～Ftの成分を抽出することができればよく、1次のフィルタで実現することができる。また、用途によっては、60kHz程度の遮断周波数を有するハイパスフィルタであってもよい。

【0048】さらにまた、バンドパスフィルタF12, F22が、前段側にローパスフィルタ、後段側にハイパスフィルタを設けて構成され、前段のローパスフィルタで前記1ビットデジタル信号の復調が可能であるときには、前記復調回路DEM1, DEM2は省略されてもよ

い。この場合、ローパスフィルタF11, F21によって音声信号成分の復調が行われる。

【0049】図5は、前記チャネル判別回路CTL1の具体的構成を示す電気回路図である。入力されるチャネル判別信号は、図6(a)で示されるような前記搬送周波数Fsの連続正弦波信号であり、該チャネル判別信号は、アンプAMPにおいて、図6(b)で示されるように増幅される。アンプAMPからのチャネル判別信号は、ダイオードDにおいて図6(c)で示すように整流され、コンデンサCによって図6(d)で示すように平滑化された後、抵抗Rを介して、チャネル切換信号として前記スイッチS1, S2へ出力される。前記スイッチS1, S2は、図6(d)において参照符Vthで示す閾値電圧以上のハイレベルとなると、個別接点S1L, S2Rにそれぞれ導通する。

【0050】前記チャネル判別回路CTL2は、このチャネル判別回路CTL1と同様に構成されており、ただしチャネル判別回路CTL2では、前記チャネル判別信号が検出されるとローレベルのチャネル切換信号を出力する。これによって、チャネル判別回路CTL2側でチャネル判別信号が検出されると、スイッチS1, S2はそれ respective 個別接点S1R, S2Lに導通する。

【0051】なお、バンドパスフィルタF12およびチャネル判別回路CTL1、またはバンドパスフィルタF22およびチャネル判別回路CTL2によってそれぞれ構成されるチャネル判別のための構成は、いずれか一方のチャネルにのみ設けられていてもよく、この場合、たとえば左チャネルに設けられており、かつ前述と同様に左チャネルにチャネル判別信号が重畠されているとき、チャネル判別信号が検出されると、スイッチS1, S2をそれぞれ個別接点S1L, S2Rに導通し、チャネル判別信号が検出されないときには、個別接点S1R, S2Lにそれぞれ導通するようなチャネル切換信号を出力するようにすればよい。

【0052】図7は、前記デルタシグマ変調回路MODLの一構成例を具体的に示すブロック図である。このデルタシグマ変調回路MODLには、前記図2および図4で示すような高度なノイズシェーピング効果が要求されるので、該デルタシグマ変調回路MODLは、高次(図5の例では7次)のデルタシグマ変調回路で実現される。したがって、前記積分回路Mは、縦続接続される7つの積分器M1～M7を備えて構成されている。各積分器M1～M6からの出力は、乗算器A2～A7をそれぞれ介して、次段の積分器M2～M7に入力される。

【0053】また、積分器M2, M3に関連して、該積分器M3の出力を1サンプリング周期だけ遅延して出力する遅延器D1と、この遅延器D1からの出力に所定の乗算係数を乗算する乗算器A11と、乗算器A11からの出力を積分器M2の入力側に負帰還する加算器K2とから成る部分帰還ループが形成されている。同様に、積

分器M4, M5に関しては、遅延器D2、乗算器A12および加算器K4から成る部分帰還ループが形成され、積分器M6, M7に関しては、遅延器D3、乗算器A13および加算器K6から成る部分帰還ループが形成されている。

【0054】各積分器M1～M7からの出力は、加算器K10において相互に加算された後、量子化器Qにおいて『1』または『-1』の1ビット信号に量子化される。量子化器Qの量子化結果は、端子T3から出力されるとともに、遅延器D0を介して前記積分器M1の前段側に設けられる前記加算器K1に負帰還される。端子T1から入力される前記音声信号源GLからのアナログまたはマルチビットの音声信号Minは、この加算器K1において、端子T2から入力される発振器OSからのチャネル判別信号Sinと加算され、さらに前記遅延器D0からの負帰還信号と加算された後、積分器M1に入力される。

【0055】なお、もう1つのデルタシグマ変調回路MODRもこのデルタシグマ変調回路MODLと同様に構成され、ただし加算器K1では、右チャネルの音声信号に負帰還信号が加算されるだけとなる。

【0056】このようにして、該音声信号伝送装置1aは、音声信号に重畳されているチャネル判別信号に応答して左右チャネルの切換えを行い、左右各チャネルの音声信号を正確に復調することができる。また、時分割多重で実現する場合には、特別なフォーマットを必要とし、かつエラー防止回路等が必要となるのに対して、該音声信号伝送装置1aは、音声信号に必要となるチャネル判別信号を周波数分割で多重化しているので、重畳には加算器K1を兼用することができ、また分離には簡単な低次のバンドパスフィルタF12, F22を用いるだけよく、構成を飛躍的に簡略化することができる。さらによく、したがって前記搬送周波数Fsにおいても、前記図4から明らかなように、量子化ノイズレベルに対して判別に充分なS/Nを有しており、誤判別することもない。

【0057】本発明の実施の第2の形態について、図8に基づいて説明すれば以下のとおりである。

【0058】図8は、本発明の実施の第2の形態の音声信号伝送装置1bの電気的構成を示すブロック図である。この音声信号伝送装置1bでは、前述の音声信号伝送装置1aと同様の連続正弦波信号から成るエンファシス判別信号を付加情報信号として多重化する。このエンファシス判別信号は、音声信号の特定周波数成分を強調するプリエンファシス処理が行われているか否かを表す。したがって、前記プリエンファシス処理が行われているとき、受信回路RXb内で復調された音声信号には、ディエンファシス処理が行われる。

【0059】送信回路TXb内では、前記発振器OSか

らの前記搬送周波数Fsのエンファシス判別信号は、スイッチSbを介していずれか一方のデルタシグマ変調回路MODLまたはMODR(図8の例ではMODL)に入力される。前記スイッチSbは、プリエンファシス処理が選択されているときには導通され、これによって、前記エンファシス判別信号が音声信号源GLまたはGRからの音声信号に周波数分割で多重化される。このスイッチSbの開閉は、送信回路TXb内にプリエンファシス回路が設けられている場合には、そのOFF/ONに連動して行われてもよく、また音声信号源GL, GR側にプリエンファシス回路が設けられている場合には、その音声信号源GL, GRとの間で専用の切換信号を用いて行われてもよく、またはユーザによって行われるようにしてよい。

【0060】左右各チャネルのデルタシグマ変調回路MODL, MODRからの1ビットデジタル信号は、左右各チャネルの伝送路JL, JRをそれぞれ介して、受信回路RXb内の復調回路DEML, DEMRにそれぞれ入力される。復調回路DEML, DEMRは、前記復調回路DEM1, DEM2と同様に、遮断周波数が前記上限周波数Faに選ばれている1次のローパスフィルタで実現される。復調回路DEML, DEMRから出力されるアナログ信号は、それぞれローパスフィルタFLL, FLRに入力される。

【0061】前記ローパスフィルタFLL, FLRの遮断周波数は、前記ローパスフィルタF11, F21と同様に、前記上限周波数Faに選ばれている。ローパスフィルタFLL, FLRからの左右各チャネルのアナログ音声信号は、ディエンファシス回路EMPL, EMPRおよびアンプPL, PRをそれぞれ介して、スピーカSPL, SPRから音響化される。

【0062】前記ディエンファシス回路EMPLは、前記ローパスフィルタFLLとアンプPLとの間の信号ラインに直列に介在される抵抗rL1, rL2と、それらの抵抗rL1, rL2の接続点と接地ラインとの間に介在されるコンデンサcLおよびスイッチSLの直列回路とを備えて構成されている。後述するようにして、プリエンファシス処理が行われているときにはスイッチSLが導通され、これによってローパスフィルタFLLからアンプPLへの音声信号のうち、高周波成分となるにつれてその減衰量が大きくなる。すなわち、この図7の例では、プリエンファシス処理は高域強調である。

【0063】こうして、プリエンファシスの定数に対応したディエンファシス動作を行うことによって、アンプPL, PRに入力されるアナログ音声信号を平坦な周波数特性とすることができます。

【0064】ディエンファシス回路EMPRも、このディエンファシス回路EMPLと同様に、抵抗rR1, rR2、コンデンサcRおよびスイッチSRを備えて構成されており、スイッチSRは前記スイッチSLと連動し

て開閉制御される。

【0065】また、前記エンファシス判別信号が重畳されているチャネル（この図7の例では左チャネル）には、前記バンドパスフィルタF12, F22およびチャネル判別回路CTL1, CTL2とそれぞれ同様に構成されるバンドパスフィルタFBおよびエンファシス判別回路CTLbが設けられている。復調回路DEM1からのアナログ信号は、前記ローパスフィルタFLLとともにこのバンドパスフィルタFBに入力され、前記エンファシス判別信号が抽出された後、エンファシス判別回路CTLbに入力される。エンファシス判別回路CTLbは、前記エンファシス判別信号が検出されると、前記スイッチSL, SRを導通する。

【0066】このようにして、音声信号に必要となるプリエンファシスの有無を表す信号を1ビットデジタル信号に重畳することができ、復調側では、そのプリエンファシスの有無に対応して、ディエンファシスのON/OFFを自動的に選択することができる。また、前記エンファシス判別信号をそのまま発光ダイオードに接続するだけで、プリエンファシスの有無を表す表示回路を構成することができる。

【0067】なお、このエンファシス判別信号および前述のチャネル判別信号は、前記図2で示すように付加情報信号利用可能帯域が充分に確保可能であるので、図4において実線と仮想線とでそれぞれ示すように、いずれか一方を前記搬送周波数Fsの正弦波信号とし、いずれか他方を前記上限周波数Fa～Ft間の他の搬送周波数として重畳するようにしてもよい。

【0068】本発明の実施の第3の形態について、図9および図10に基づいて説明すれば以下のとおりである。

【0069】図9は、本発明の実施の第3の形態の音声信号伝送装置1cの電気的構成を示すブロック図である。この音声信号伝送装置1cは、前述の音声信号伝送装置1aに類似し、対応する部分には同一の参照符号を付して、その説明を省略する。この音声信号伝送装置1cでは、音声信号源GL, GRからのアナログまたはマルチビットの音声信号は、送信回路TXc内のデルタシグマ変調回路MODL, MODRにおいて、それぞれたとえば32fsのサンプリング周波数で高速1ビットデジタル信号にデルタシグマ変調された後、時分割多重回路MPXに入力される。

【0070】この時分割多重回路MPXは、図10(a)および図10(b)でそれぞれ示す前記デルタシグマ変調回路MODL, MODRからの1ビットデジタル信号を、2倍の周波数、すなわち64fsで交互にサンプリングして、図10(c)で示すような左右交互の1ビットデジタル信号を作成し、伝送路Jに出力する。

【0071】これに対応して受信回路RXc側では、前記伝送路Jからの入力信号は、チャネル分離回路DIV

において前記図10(a)および図10(b)でそれぞれ示す左右チャネルの1ビット信号に分離され、左右のうち、いずれか一方のチャネルの1ビット信号が復調回路DEM1に入力され、いずれか他方のチャネルの1ビット信号が復調回路DEM2に入力される。チャネル分離回路DIVは、64fsの高速1ビット信号を、相互に64fsの周期だけずれて、かつ32fsの期間だけ保持することができる一对のサンプルホールド回路またはラッチ回路等によって構成されている。

【0072】復調回路DEM1で復調されたアナログ信号は、前記フィルタF11, F12に共通に入力され、復調回路DEM2からのアナログ信号は、前記フィルタF21, F22に共通に入力される。したがって、アンプPL, PRには、対応すべき左右各チャネルのアナログ音声信号が入力され、該アンプPL, PRで増幅された後、スピーカSPL, SPRからそれぞれ音響化される。

【0073】このようにして、左右チャネルが混合されてシリアル伝送される1ビット信号に対しても、左右データの判別を行うためのデータを、特別なフォーマットを使用することなく、付加することができる。

【0074】本発明の実施の第4の形態について、図11および図12に基づいて説明すれば以下のとおりである。

【0075】図11は、本発明の実施の第4の形態の音声信号伝送装置1dの電気的構成を示すブロック図である。この音声信号伝送装置1dは、前述の音声信号伝送装置1a, 1b, 1cに類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきはこの音声信号伝送装置1dでは、時間情報が付加情報とされることである。

【0076】送信回路TXd内には、前記デルタシグマ変調回路MODL, MODRおよび発振器OSとともに、エンコーダENCおよび時間情報発生回路GTが設けられている。時間情報発生回路GTは、図12(a)で示すように、付加すべき時間情報に対応して、ハイレベルまたはローレベルを断続的に繰返すデジタルシリアル信号を発生する。この時間情報は、音声信号の各曲毎の経過時間および/または伝送開始からの通算時間などを表す8ビット程度のデータであり、この図11で示すように送信回路TXd側で発生されてもよく、また前述のエンファシス判別信号と同様に、音声信号源GL, GR側から入力されてもよい。

【0077】発振器OSからの正弦波信号は、エンコーダENCにおいて、前記デジタルシリアル信号によって図12(b)で示すような断続信号に変調されて、デルタシグマ変調回路MODLに入力され、音声信号源GLからの左チャネルの音声信号に重畳された後、1ビットデジタル信号に変換される。

【0078】一方、受信回路RXd側では復調回路DE

MLからのアナログ信号は、ローパスフィルタFLによって左チャネルの音声信号成分が抽出されるとともに、バンドパスフィルタFBを介してデコーダDECに入力される。デコーダDECは、バンドパスフィルタFBによって抽出された前記図12(b)で示すような断続信号を、前記図12(a)で示すようなデジタルシリアル信号にデコードして、表示駆動回路DRVへ出力する。

【0079】表示駆動回路DRVは、入力されたデジタルシリアル信号に対応して、予め定められている表示信号を表示装置DISへ出力する。表示装置DISは、たとえば日の字型セグメントが複数配列されて構成されており、前記表示駆動回路DRVからの表示信号に応答した表示を行う。このようにして、音声信号に周波数分割で多重化された時間情報を受信回路RXd側で表示出力することができる。

【0080】前記時間情報に左チャネルだけでは伝送用が不足するときには、左右両チャネルが用いられてもよく、または前記時間情報が重畠されない他方のチャネルには、前記音声信号伝送装置1a, 1b, 1cで示すような、音声信号に有効な他の信号が重畠されてもよい。

【0081】本発明の実施の第5の形態について、図13に基づいて説明すれば以下のとおりである。

【0082】図13は、本発明の実施の第5の形態の音声信号伝送装置1eの電気的構成を示すブロック図である。この音声信号伝送装置1eは、たとえば家庭や事業所内で使用される新たなハイファイオーディオシステムとして実施される。基地局となる送信回路TXeには、種々のサンプリング周波数fsを有する音声信号源G1, G2, G3が接続され、該送信回路TXeは、これらからの左右各チャネルのマルチビットのデジタル音声信号をそれぞれオーバーサンプリングして高速1ビットデジタル信号とし、光伝送路OPL, OPRを空間伝送して、1または複数の受信回路RXeに伝送を行う。前記受信回路RXeが複数設けられるときには、これらの受信回路RXeは各部屋などに設置され、受信した左右各チャネルの高速1ビットデジタル信号を左右各チャネルのアナログ音声信号にそれぞれ復調して、アンプPL, PRで増幅した後、スピーカSPL, SPRから音響化する。

【0083】したがって、前記伝送路OPL, OPRにおいて、大きく減衰および歪の生じた波形を再現して忠実度の高い再生を行うために、受信回路RXe側では、システムクロック生成回路CK2によって、復調のためのシステムクロック信号が生成されている。

【0084】一方、前記送信回路TXe側でも、前記音声信号源G1, G2, G3が、それぞれ、たとえばfs=44.1kHzのCD、fs=48kHzのDATおよびfs=32kHzの衛星放送(Aモード)等の異なるサンプリング周波数のマルチビットのデジタル音声信

号源であるとき、入力デジタル音声信号に対して、システムクロック生成回路CK1によって生成されるシステムクロック信号の周波数の切換えを行う。

【0085】すなわち、各音声信号源G1, G2, G3からの左右各チャネルのマルチビットの入力デジタル音声信号は、それぞれ入力切換スイッチSWL, SWRを介して前記デルタシグマ変調回路MODL, MODRに入力されるように構成されており、使用者によって操作され、これらの入力切換スイッチSWL, SWRを連動して切換える入力選択回路SELは、前記入力切換スイッチSWL, SWRの切換えに連動して、前記システムクロック生成回路CK1のクロック発振周波数の切換えも行う。これによって、前述のように、Fs=32fsや、Fs=64fsのように、常に所定数倍のオーバーサンプリングを行う。

【0086】前記デルタシグマ変調回路MODL, MODRの量子化器Qにおけるサンプリングタイミング、遅延器D0, D1, D2, D3における遅延時間および積分器M1～M7の時定数も、前記システムクロック信号によって制御される。一方、前記発振器OSからは、Fs=200kHzの正弦波であるパイロットスペクトルが発生され、デルタシグマ変調回路MODL内の加算器K1において、左チャネルのマルチビットデジタル信号に加算される。

【0087】このようにして、送信回路TXeからは、サンプリング周波数fsが異なる音声信号源G1, G2, G3からの音声信号が選択され、かつそれぞれに適応したサンプリング周波数Fsの高速1ビットデジタル信号が作成されて出力される。

【0088】受信回路RXe側では、前記伝送路OPL, OPRからの左右各チャネルの高速1ビットデジタル信号は、1ビット抽出回路SMPL, SMPRにそれぞれ入力されて、たとえば波形整形などが行われて、前記伝送路OPL, OPRなどによる信号の劣化が補償される。1ビット抽出回路SMPL, SMPRからの左右各チャネルの高速1ビットデジタル信号は、ミュート回路MUTL, MUTRをそれぞれ介して、信号処理回路PRCL, PRCRに入力される。信号処理回路PRCL, PRCRは、システムクロック信号に応答して、高速1ビットデジタル信号をアナログ音声信号に復調する。信号処理回路PRCLからの左チャネルのアナログ音声信号は、ローパスフィルタなどで実現されるパイロットスペクトル減算回路PILにおいて、前記パイロットスペクトルが減算された後、前記アンプPLへ出力され、信号処理回路PRCRからの右チャネルのアナログ音声信号は、直接アンプPRへ出力される。

【0089】また、前記1ビット抽出回路SMPLからの高速1ビットデジタル信号は、中心周波数が前記搬送周波数Fsである狭帯域の前記バンドパスフィルタFBによって、アナログ復調および前記搬送周波数Fsのパ

パイロットスペクトルの成分が抽出され、その出力は、パイロットスペクトル検知回路D E Tに入力される。このパイロットスペクトル検知回路D E Tは、所定レベル以上でパイロットスペクトルが検知されると、クロック制御回路C T L C Kに出力を導出する。

【0090】クロック制御回路C T L C Kは、前記システムクロック生成回路C K 2を制御して、システムクロック信号の周波数を、前記各音声信号源G 1, G 2, G 3のサンプリング周波数f sにそれぞれ対応したサンプリング周波数F Sに切換可能に構成されており、前記バンドパスフィルタF Bおよびパイロットスペクトル検知回路D E Tによって前記パイロットスペクトルが検知されると、システムクロック信号の周波数が前記サンプリング周波数F Sに一致しているので、その切換えを停止する。

【0091】このようにして、1ビット抽出回路S M P L, S M P Rおよび信号処理回路P R C L, P R C Rは、送信回路T X e側で選択されたサンプリング周波数F Sに対応した周波数のシステムクロック信号に基づいて、1ビット信号の抽出およびアナログ音声信号への復調を行うことができる。また、前記パイロットスペクトル検知回路D E Tからの出力は、前記ミュート回路M U T L, M U T Rに与えられており、前記パイロットスペクトルが検知されていない状態では、このミュート回路M U T L, M U T Rは前記高速1ビットデジタル信号の出力を停止する。これによって、復調不良のアナログ音声信号が音響化されることを防止することができる。

【0092】本発明の実施の第6の形態について、図14に基づいて説明すれば以下のとおりである。

【0093】図14は、本発明の実施の第6の形態の音声信号伝送装置1 fの電気的構成を示すブロック図である。この音声信号伝送装置1 fは、前述の音声信号伝送装置1 eに類似し、対応する部分には同一の参照符号を付してその説明を省略する。注目すべきは、この音声信号伝送装置1 fでは、音声信号源G L, G Rからのアナログまたはマルチビットの音声信号が、前記サンプリング周波数F Sを任意の周波数としてサンプリングされることである。

【0094】すなわち、前記音声信号伝送装置1 eでは、音声信号源G 1～G 3からのサンプリング周波数f sの異なるマルチビットデジタル音声信号は、デルタシグマ変調回路M O D L, M O D Rにおいて、所定数倍、たとえば32または64倍のサンプリング周波数F Sでオーバーサンプリングされるのに対して、この音声信号伝送装置1 fでは、前記サンプリング周波数F Sは、任意に設定可能とされる。

【0095】したがって、送信回路T X f側では、デルタシグマ変調回路M O D L, M O D Rへシステムクロック信号を供給するシステムクロック生成回路C K 3は、前記ダイナミックレンジ、有効周波数帯域および伝送路

O P L, O P Rの伝送容量ならびに音声信号源G L, G Rからの音声信号の種類などに対応して、クロック制御回路C K V A Lによって、その発振周波数が変化される。また、これに対応して、受信回路R X f側では、クロック制御回路C K S C A Nは、パイロットスペクトル検知回路D E Tによって前記パイロットスペクトルが検知されるように、システムクロック生成回路C K 4にシステムクロック信号の発振周波数を掃引させ、検知される前記パイロットスペクトルのレベルが徐々に大きくなっているとき、ピーク値となると掃引動作を停止させる。

【0096】このようにして、サンプリング周波数F Sを任意の値に設定しても、高速1ビットデジタル信号をアナログ音声信号に正確に復調することができ、サンプリング周波数F Sを特に定めずに、該サンプリング周波数F Sに幅を持たせることができる。

【0097】このように、本発明に従う音声信号伝送装置1 a, 1 b, 1 c, 1 d, 1 e, 1 fでは、デルタシグマ変調による1ビットデジタル信号の量子化ノイズの分布特性に着目して、音声信号に影響を及ぼすことのない上限周波数F a～F t間に付加情報を周波数分割で多重化するので、そのような付加情報を付加するための信号処理フォーマットが不要となり、複雑な信号処理回路を不要とすることができる。

【0098】本発明は、上述のようなデータ伝送装置に限らず、送信回路T X a, T X b, T X c, T X d, T X eまたはT X fに代えて記録装置を、また受信回路R X a, R X b, R X c, R X d, R X eまたはR X fに代えて再生装置を用いて、記録再生のためにも実施することができる。また、信号伝送は、光または電気の何れで行われてもよく、また有線または無線の何れで行われてもよいことは言うまでもない。さらにまた、主信号は音声信号に限らず、デルタシグマ変調による1ビット符号化方式を適用することができる他の信号であってもよい。

【0099】また、前述のように、デルタシグマ変調された高速1ビットデジタル信号は、伝送路J ; J 1, J 2; J L, J Rの影響を受けにくく、エラーに強いので、上述の各音声信号伝送装置1 a, 1 b, 1 c, 1 d, 1 e, 1 fではエラー訂正回路を省略している。このエラー訂正回路、ジッタ除去のための波形整形回路、クロック等のデジタル回路ノイズからデータを絶縁するための回路、R T (ReturnTo zero) 符号化するためのデューティ比制御回路および高域のノイズ低減を図る移動平均回路等の構成は、復調回路D E M 1, D E M 2; D E M L, D E M Rおよび信号処理回路P R C L, P R C Rに関連して、用途に応じて適宜付加される。

【0100】

【発明の効果】請求項1の発明に係るデルタシグマ変調回路は、以上のように、主信号よりも高域側の周波数で、その周波数におけるダイナミックレンジに対応した

情報量の副信号を、周波数分割で多重化する。

【0101】それゆえ、復調側では、バンドパスフィルタなどの簡単な構成で前記副信号を分離することができ、信号処理のための回路を簡略化することができる。

【0102】また、請求項2の発明に係るデルタシグマ変調回路では、以上のように、前記副信号の主信号への重畳を、該デルタシグマ変調回路内の加算段で行う。

【0103】それゆえ、量子化出力を遅延して入力側に負帰還するための前記加算段を兼用して、特別な構成を付加することなく、多重化を行うことができる。

【0104】さらにまた、請求項3の発明に係るデルタシグマ変調回路では、以上のように、主信号を音声信号とし、副信号をチャネル情報を表すフラグ、プリエンファシスの有無を表すフラグ、時間情報またはサンプリング周波数情報の少くともいずれか1つとする。

【0105】それゆえ、音声信号に必要となるこれらのフラグや情報を、該フラグおよび情報が少ビットであることを利用して、狭いダイナミックレンジ内で所定のS/Nを確保して重畳することができる。

【0106】また、請求項4の発明に係る信号伝送または記録再生装置では、以上のように、上述のデルタシグマ変調回路を送信装置または記録装置に設け、受信装置または再生装置には低次のフィルタを設け、受信または再生された1ビット信号から前記副信号を分離する。

【0107】それゆえ、副信号の分離を簡単な構成で実現することができる。

【0108】さらにまた、請求項5の発明に係る信号伝送または記録再生装置では、以上のように、主信号を音声信号とし、副信号をチャネル情報として、受信装置または再生装置は、副信号に基づいて、左右チャネル、重低音用のチャネルまたは前後4チャネルなどのチャネル分離を行う。

【0109】それゆえ、従来のマルチビット信号では、時分割で多重化されていたこのようなチャネル情報を、周波数分割で多重化して、復調側では容易に抽出することができる。

【0110】また、請求項6の発明に係る信号伝送または記録再生装置では、以上のように、主信号を音声信号とし、副信号をプリエンファシスの有無を表すフラグとし、該フラグに応答してディエンファシスのON/OFFを制御する。

【0111】それゆえ、従来のマルチビット信号では、時分割で多重化されていたこのようなフラグもまた、周波数分割で多重化して、容易に抽出することができる。

【0112】さらにまた、請求項7の発明に係る信号伝送または記録再生装置では、以上のように、主信号を音声信号とし、副信号をサンプリング周波数情報とし、該副信号を抽出できるシステムクロックで1ビット信号を復調する。

【0113】それゆえ、サンプリング周波数f_sが異な

るマルチビット入力信号に対して、サンプリングレートを変換して1ビット信号のサンプリング周波数F_Sを統一するなどの煩雑な処理を行うことなく、オーバーサンプリングの倍数を一定のままで前記マルチビット入力信号を1ビット信号に変換しても、副信号を抽出できるようシステムクロックを変更することによって、デルタシグマ変調側と復調側とでサンプリング周波数を整合させて、1ビットデジタル信号を正確に復調することができる。

【0114】これによって、サブコード等のそのサンプリング周波数を表す情報を音声信号に多重化するにあたって、時間軸圧縮などの煩雑な処理を不要とすることができ、また前記サンプリングレート変換などの煩雑な処理を伴うことなく、サンプリング周波数に幅を持たせることができる。

【0115】また、請求項8の発明に係る信号伝送または記録再生装置では、以上のように、送信装置または記録装置は、サンプリング周波数f_sの異なるマルチビット入力信号を所定数倍でオーバーサンプリングを行い、受信装置または再生装置は、前記副信号を検知できるように、システムクロックの切換えを行う。

【0116】それゆえ、予め複数種類に定められている入力信号のサンプリング周波数f_sのうち、適応する種類のサンプリング周波数に、容易、かつ速やかに設定を行なうことができる。

【0117】さらにまた、請求項9の発明に係る信号伝送または記録再生装置では、以上のように、送信装置または記録装置は、システムクロックを任意の周波数に設定可能であり、受信装置または再生装置は、システムクロックの周波数を掃引し、副信号を検知すると前記掃引動作を停止する。

【0118】それゆえ、所望とするダイナミックレンジ、周波数帯域およびビットレートなどに対応して、サンプリング周波数を任意に設定しても、そのサンプリング周波数を表す情報を付加するために主信号に特別な処理を施す必要がなく、正確に復調を行うことができる。

【図面の簡単な説明】

【図1】本発明を音声信号伝送装置に適用した場合の基本的構成を示すブロック図である。

【図2】本発明の考え方を説明するための量子化ノイズレベルの周波数特性を示すグラフである。

【図3】本発明の実施の第1の形態の音声信号伝送装置の電気的構成を示すブロック図である。

【図4】本発明の実施の一形態での音声信号および付加情報信号ならびに量子化ノイズの周波数スペクトラムを説明するためのグラフである。

【図5】前記図3で示す音声信号伝送装置におけるチャネル判別回路の具体的構成を示す電気回路図である。

【図6】前記図5で示すチャネル判別回路の動作を説明するための波形図である。

【図7】図3で示す音声信号伝送装置におけるデルタシグマ変調回路の一構成例を具体的に示すブロック図である。

【図8】本発明の実施の第2の形態の音声信号伝送装置の電気的構成を示すブロック図である。

【図9】本発明の実施の第3の形態の音声信号伝送装置の電気的構成を示すブロック図である。

【図10】図9で示す音声信号伝送装置における時分割多重動作を説明するための図である。

【図11】本発明の実施の第4の形態の音声信号伝送装置の電気的構成を示すブロック図である。

【図12】図11で示す音声信号伝送装置の動作を説明するための波形図である。

【図13】本発明の実施の第5の形態の音声信号伝送装置の電気的構成を示すブロック図である。

【図14】本発明の実施の第6の形態の音声信号伝送装置の電気的構成を示すブロック図である。

【符号の説明】

1, 1a, 1b, 1c, 1d, 1e, 1f 音声信号伝送装置

ACT 信号処理回路

CK1～CK4 システムクロック生成回路

CKSCAN クロック制御回路

CTL 制御回路

CTL1, CTL2 チャネル判別回路

CTLb エンファシス判別回路

CTLCK クロック制御回路

D0, D1, D2, D3 遅延器

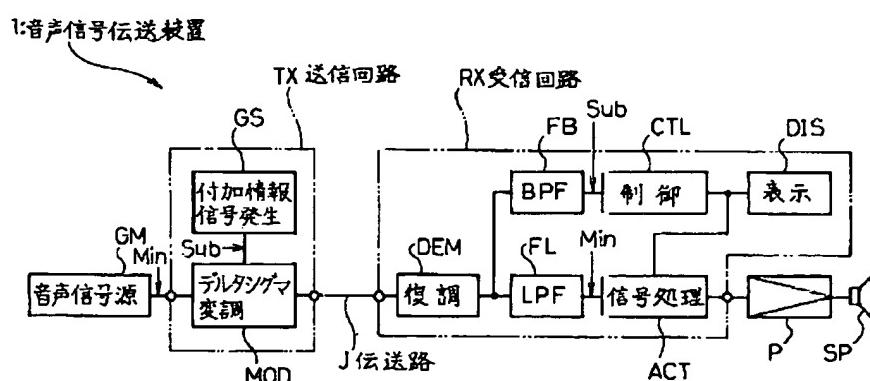
DEM; DEM1, DEM2; DEML, DEMR 復調回路

DEC デコーダ

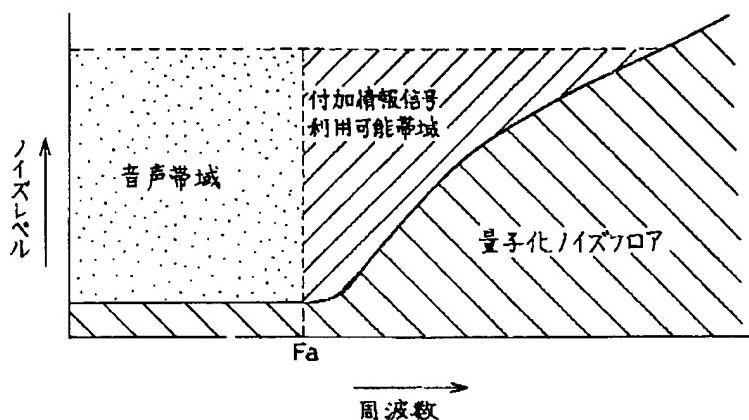
DET パイロットスペクトル検知回路

D I S	表示装置
D I V	チャネル分離回路
D R V	表示駆動回路
E N C	エンコーダ
F 1 1, F 2 1 ; F L ; F L L ; F L R	ローパスフィルタ
F 1 2, F 2 2 ; F B	バンドパスフィルタ
G 1, G 2, G 3 ; G M ; G L, G R	音声信号源
G S	付加情報信号発生回路
G T	時間情報発生回路
J 1, J 2 ; J ; J L, J R	伝送路
M	積分回路
M O D ; M O D L, M O D R	デルタシグマ変調回路
M P X	時分割多重回路
M U T L, M U T R	ミュート回路
O S	発振器
O P L, O P R	伝送路
P ; P L, P R	アンプ
P I L	パイロットスペクトル減算回路
P R C L, P R C R	信号処理回路
R X, R X a, R X b, R X c, R X d, R X e, R X f	受信回路
Q	量子化器
S 1, S 2	スイッチ
S E L	入力選択回路
S P ; S P L, S P R	スピーカ
S M P L, S M P R	1ビット抽出回路
S W	チャネル切換回路
S W L, S W R	入力切換スイッチ
T X, T X a, T X b, T X c, T X d, T X e, T X f	送信回路

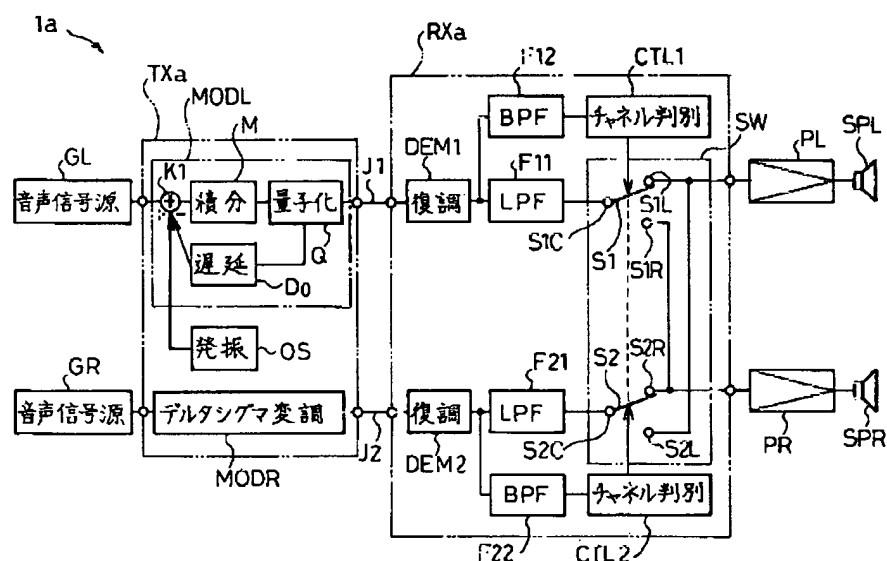
【図1】



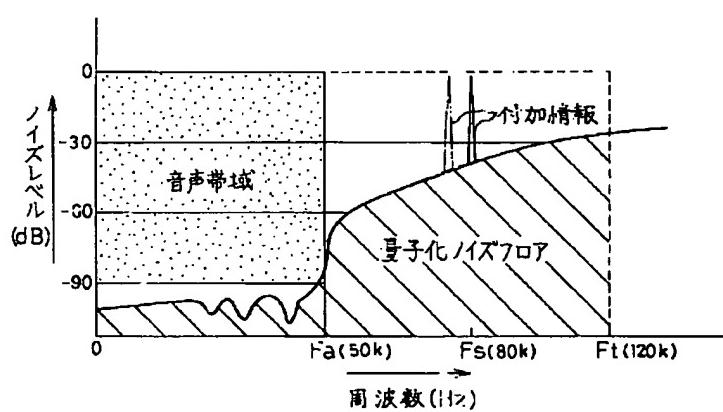
【図2】



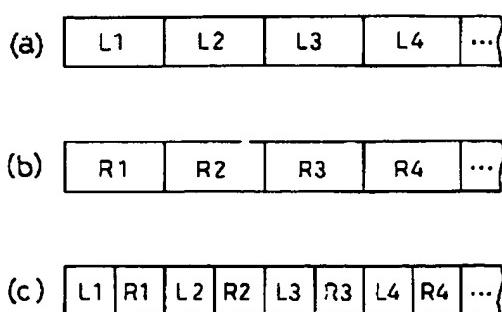
【図3】



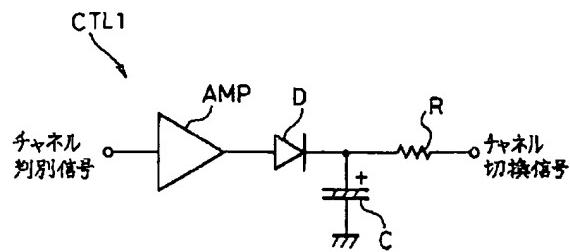
【図4】



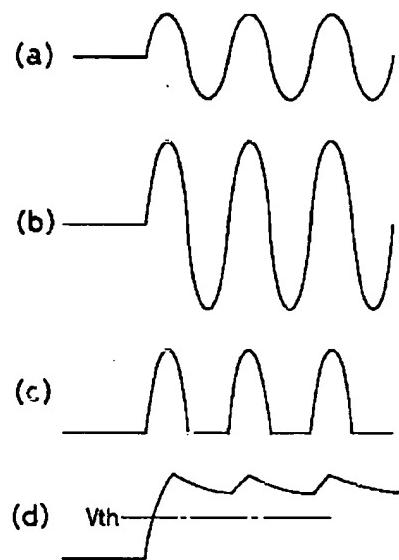
【図10】



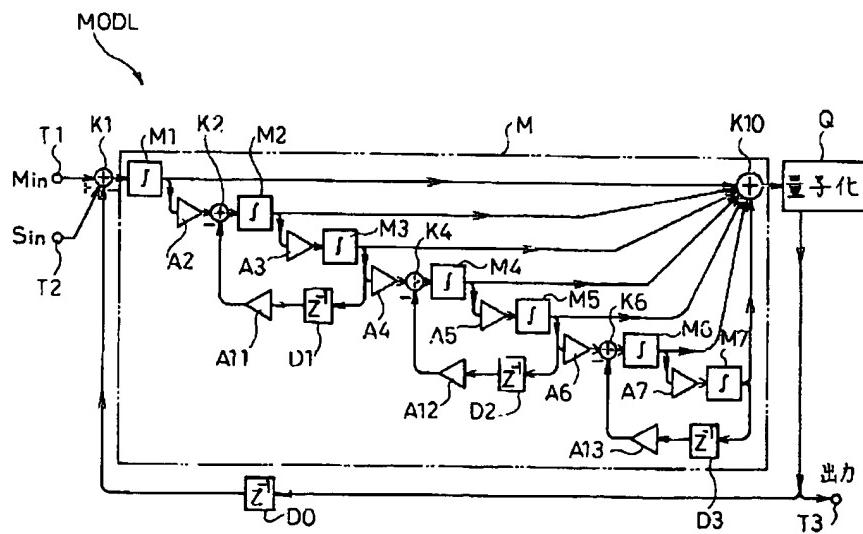
【図5】



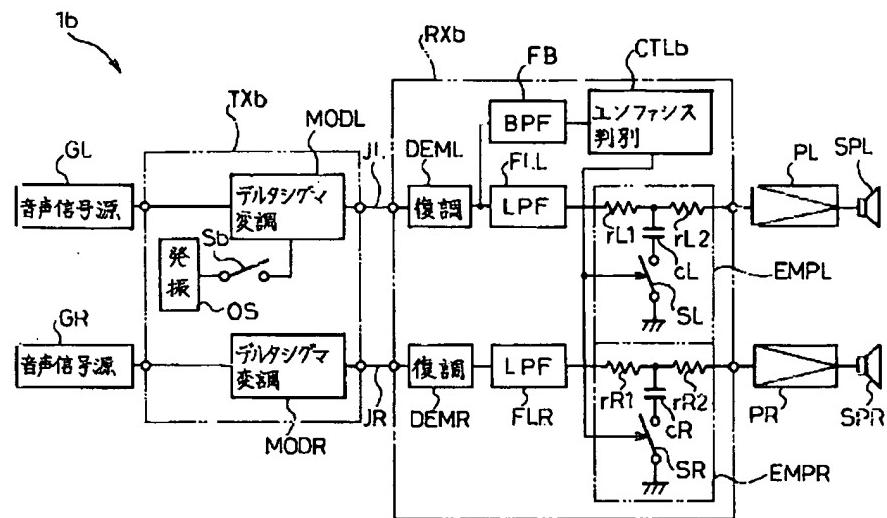
【図6】



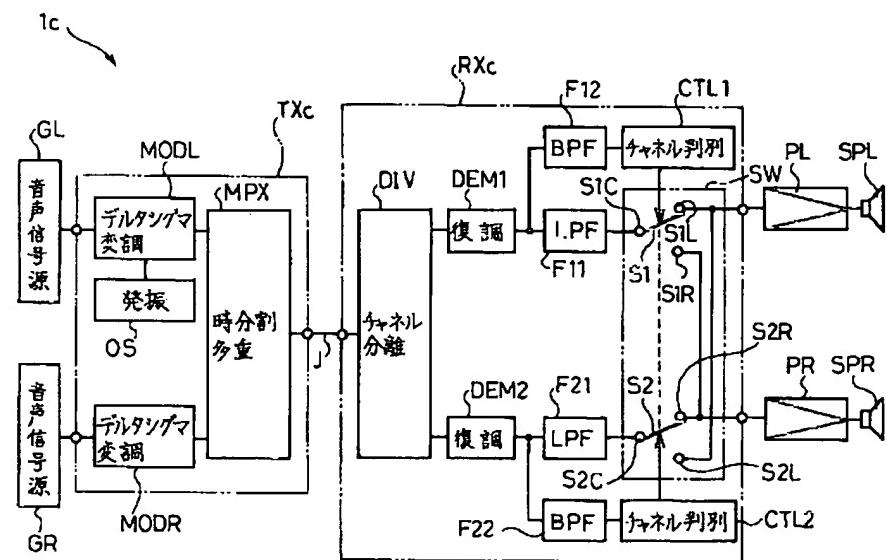
【図7】



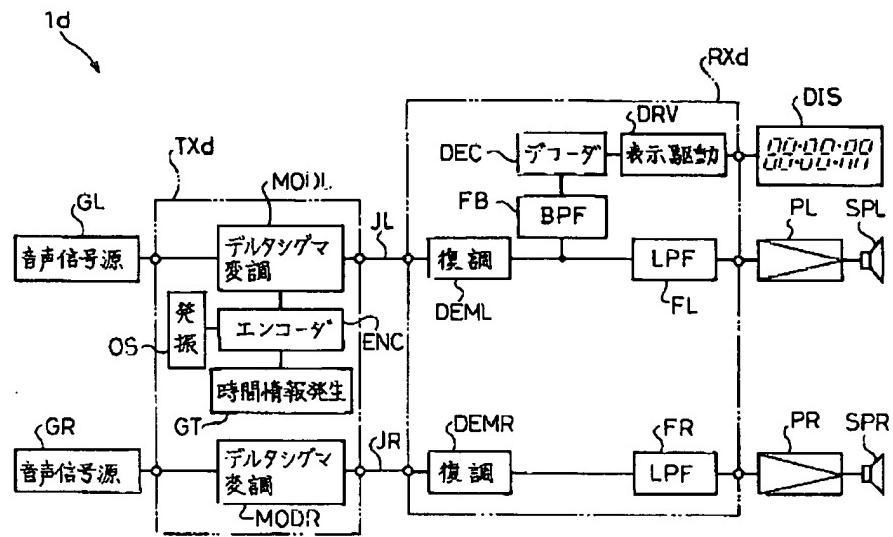
【図8】



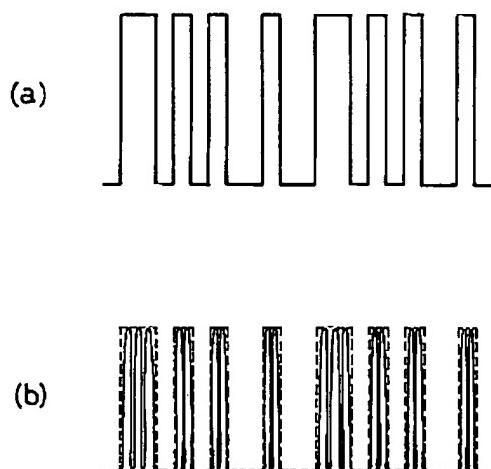
【図9】



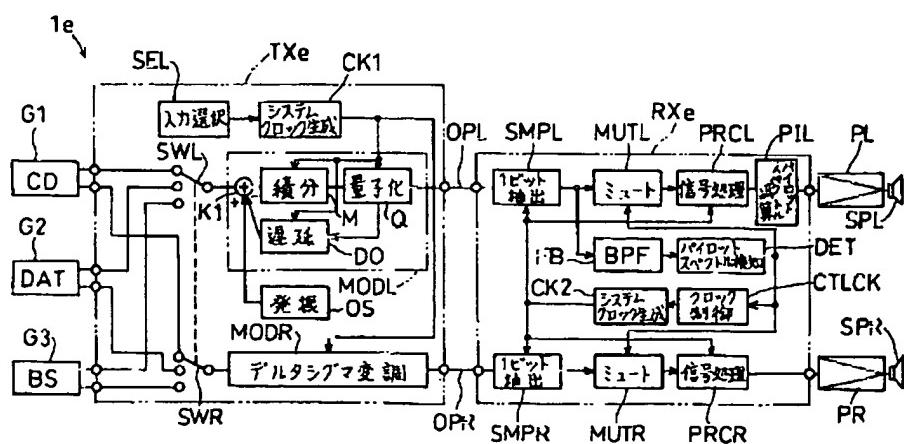
【図11】



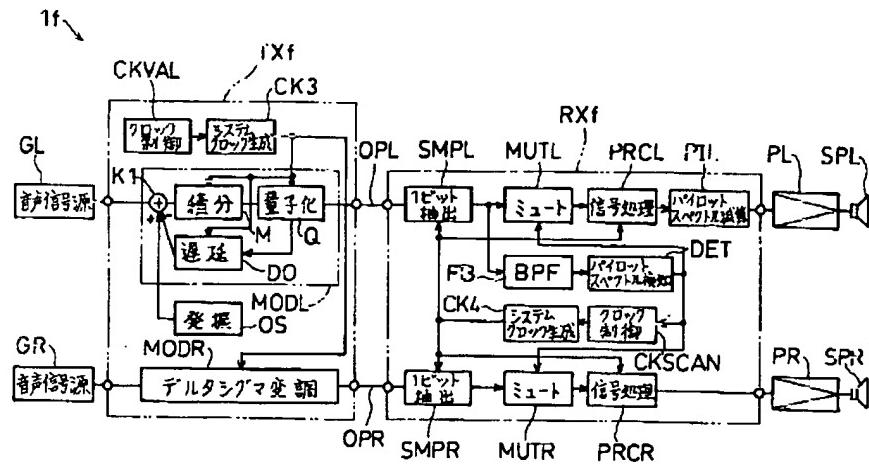
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 早瀬 徹

大阪府大阪市阿倍野区長池町22番22号 シ

ヤーフ株式会社内